

Docket No.: 60188-129

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Takashi YONEDA, et al. :
: Serial No.: : Group Art Unit:
: Filed: December 10, 2001 : Examiner:
: For: COMPUTER DEVICE :

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-375495, filed December 11, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

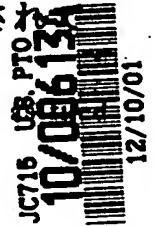
600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: December 10, 2001
Facsimile: (202) 756-8087

60188-129
Yoneda et al.
December 10, '01
McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application with this Office



出 願 年 月 日

Date of Application:

2000年12月11日

出 願 番 号

Application Number:

特願2000-375495

出 願 人

Applicant(s):

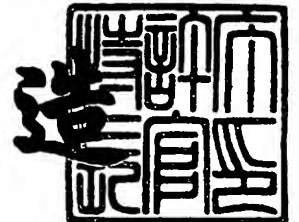
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 5037710111

【提出日】 平成12年12月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/30 380

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 米田 貴史

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 松本 政彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 コンピュータ装置

【特許請求の範囲】

【請求項 1】 アドレス信号を出力すると共に、同一アドレス信号についてアクセス信号を 2 回出力する CPU と、

一連のプログラムを記憶し、前記 CPU からのアドレス信号及びアクセス信号を受け、前記アドレス信号に対応するアドレスのプログラムを前記アクセス信号に応じて 2 回出力するメモリと、

前記メモリから出力されたプログラムを前記アクセス信号に応じてラッチするラッチ回路と、

前記メモリから出力された 2 つの同一プログラムについて、前記ラッチ回路から出力された第 1 回目のプログラムと、前記メモリから出力された第 2 回目のプログラムとを比較し、両者の一致を検出する一致検出回路とを備え、

前記 CPU は、前記一致検出回路の比較結果信号を受け、プログラムの不一致時に、再度前記同一アドレスについてのアクセス信号を出力して、前記メモリから出力される第 3 回目のプログラムと、前記ラッチ回路から出力される前記第 2 回目のプログラムとの比較を前記一致検出回路で行わせる

ことを特徴とするコンピュータ装置。

【請求項 2】 前記メモリからの第 1、第 2、第 3 回目のプログラムの出力は、命令フェッチサイクル内で行われ、

前記一致検出回路で第 2 回目のプログラムと第 3 回目のプログラムとの一致が検出された時、この一致したプログラムのデコードサイクルに移行する

ことを特徴とする請求項 1 記載のコンピュータ装置。

【請求項 3】 アドレス信号を出力すると共に、同一アドレス信号についてアクセス信号を 3 回以上出力する CPU と、

一連のプログラムを記憶し、前記アドレス信号に対応するアドレスのプログラムを前記アクセス信号に応じて順次出力するメモリと、

直列に接続され、前記メモリから出力されたプログラムを前記アクセス信号に応じて順次ラッチする複数個のラッチ回路と、

前記メモリから出力された複数の同一プログラムについて、前記メモリから最後に出力されたプログラム及び前記各ラッチ回路から出力されたプログラムを比較し、全てのプログラムの一致を検出する一致検出回路とを備え、

前記CPUは、前記一致検出回路で一致が検出されたとき、前記一致したプログラムのデコードサイクルに移行する

ことを特徴とするコンピュータ装置。

【請求項4】 前記複数のラッチ回路及び一致検出回路に代えて、

前記メモリから出力された複数の同一プログラムについて多数決を取る多数決回路を備え、

前記CPUは、前記多数決回路において最も数が多いと判定されたプログラムをデコードする

ことを特徴とする請求項3記載のコンピュータ装置。

【請求項5】 一連のプログラムを記憶するメモリと、

前記メモリから個々のプログラムをパイプラインで順次フェッチし、デコードし、実行するCPUとを備え、

前記CPUは、

フェッチサイクルにおいて前記メモリからの第1のプログラムをフェッチし、

前記第1のプログラムのデコードサイクルでは、前記第1のプログラムに続く第2のプログラムをフェッチすると共に、前記メモリに対して第1のプログラムの再読み出しを要求し、再読み出しされた第1のプログラムと、前記第1のプログラムのフェッチサイクルでフェッチされた第1のプログラムとを比較し、両プログラムが一致するとき第1のプログラムの実行に移行する

ことを特徴とするコンピュータ装置。

【請求項6】 前記CPUは、

2つの第1のプログラム同士が一致しないとき、前記メモリに対して第1のプログラムの再々読み出しを要求し、再々読み出しされた第1のプログラムと、前記再読み出しされた第1のプログラムとを比較し、両プログラムが一致するとき第1のプログラムの実行に移行する

ことを特徴とする請求項5記載のコンピュータ装置。

【請求項 7】 前記メモリは、

前記CPUからアドレス信号を受けて、前記アドレス信号に対応するアドレスのプログラムと、前記アドレス信号に対応するアドレスよりも1つ前のアドレスに対応するプログラムとを出力する

ことを特徴とする請求項 5 記載のコンピュータ装置。

【請求項 8】 前記メモリは、

連続するプログラムがアドレス順に行方向及び列方向に記憶されていて、

前記CPUからアドレス信号を受けたとき、2本の連続する行選択信号及び2本の連続する列選択信号を出力する

ことを特徴とする請求項 7 記載のコンピュータ装置。

【請求項 9】 ラッチ回路を有し、前記ラッチ回路は、

前記CPUから出力されるアクセス信号に同期して、前記フェッチサイクルで前記メモリから出力される第1のプログラムをラッチし、

前記CPUには、前記ラッチ回路にラッチされた第1のプログラムと、前記デコードサイクルで再読み出しされた第1のプログラムとの一致を検出する一致検出回路が接続される

ことを特徴とする請求項 6 記載のコンピュータ装置。

【請求項 10】 前記デコードサイクルで第1のプログラムが再読み出しされたとき、

前記ラッチ回路は、前記再読み出しされた第1のプログラムをラッチし、

前記一致検出回路は、2つの第1プログラムが一致しないときに再々読み出しされた第1のプログラムと、前記ラッチ回路にラッチされた再読み出しされた第1のプログラムとの一致を検出する

ことを特徴とする請求項 9 記載のコンピュータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はコンピュータ装置に関する。

【0002】

【従来の技術】

従来のコンピュータ装置及びその制御方法について図 1 1 を参照しながら説明する。図 1 1 は従来のコンピュータ装置の構成を示す。同図において、1 0 0 は CPU である。ROM 2 は予め命令とデータとからなる一連のプログラムを記憶する。CPU 1 0 0 は、ROM 2 と ROM データバス c で接続され、ROM 2 に対してアドレス信号 a 及びアクセス信号 b を出力する。ROM 2 は、前記アクセス信号 b を受けて、前記アドレス信号 a に対応するアドレスに格納されたプログラムを ROM データバス c を経て CPU 1 0 0 に出力する。

【0 0 0 3】

CPU 1 0 0 の内部での命令処理は、命令フェッチサイクル、命令デコードサイクル、命令の実行等の実行サイクルで構成されており、命令フェッチサイクルにおいて ROM 2 から次に実行するプログラムを入手し、次の命令デコードサイクル以降において、前記入手したプログラムをデコードして、このプログラムの内容に応じてメモリアクセス、データ操作などの実際の処理を行う。

【0 0 0 4】

次に、命令フェッチサイクル時での ROM 2 の動作を図 1 2 の ROM の内部構成、及び図 1 3 の信号波形図に基づいて説明する。図 1 3 において、命令フェッチサイクルはプリチャージ期間 T 1 とデータ確定期間 T 2 とから成る。プリチャージ期間 T 1 では、プリチャージ信号等のアクセス信号 b により、図 1 2 に示した ROM 2 内のビットライン c 1、c 2 ~ c 4 が H 電位となる。次のデータ確定期間 T 2 では、アドレス信号 a に対応した 1 本の信号線 a 1、a 2 又は a 3 がアドレスデコーダ 2 0 1 により選択される。これにより、前記選択された信号線に接続され且つ接地された N - c h トランジスタ 2 0 0 は ON するが、これら ON したトランジスタ 2 0 0 に接続されているビットライン c 1、c 2 ~ c 4 は L 電位にディスチャージされ、接続されていないビットライン c 1、c 2 ~ c 4 は H 電位を保持する。そして、これらビットライン c 1、c 2 ~ c 4 の L、H 電位の組合せよりなるプログラムが ROM データバス c を経て読み出されて CPU 1 0 0 に出力される。

【0 0 0 5】

その後、命令データの確定信号(図示せず)により、前記読み出されたプログラムが、CPU 100の内部に存在する命令レジスタ(図示せず)に格納されて、命令フェッチサイクルが終了する。

【0006】

【発明が解決しようとする課題】

しかしながら、前記従来のコンピュータ装置では、命令フェッチサイクルにおけるROM 2へのアクセスは一度だけである。このため、次の問題が生じる。即ち、一般に、ROM 2の各メモリセルは1つのキャパシタと1つのトランジスタとで形成されており、この構成上、ビットラインがプリチャージされた電位を保持している間にONしたN-c hトランジスタ200に接続されていないビットラインがノイズ等の原因により接地されてHデータがLデータに反転した場合には、これの修復手段を持たない。その結果、ROM 2からはプログラムが誤って読み出され、CPU 100は誤ったプログラムをデコードし、実行してしまうという問題があった。

【0007】

本発明は、このような問題を解決するためになされたものであり、その目的は、ROMからプログラムが誤って読み出された場合であっても、その誤った読み出しを検知して、再度プログラムを正しく読み出して安全に動作できるコンピュータ装置を提供することにある。

【0008】

【課題を解決するための手段】

前記目的を達成するため、本発明では、ROMなどのメモリから同一プログラムを複数回読み出し、これらの一致、不一致を検出して、一致する場合に限りそのプログラムを実行する。

【0009】

具体的に、請求項1記載の発明のコンピュータ装置は、アドレス信号を出力すると共に、同一アドレス信号についてアクセス信号を2回出力するCPUと、一連のプログラムを記憶し、前記CPUからのアドレス信号及びアクセス信号を受け、前記アドレス信号に対応するアドレスのプログラムを前記アクセス信号に応

じて2回出力するメモリと、前記メモリから出力されたプログラムを前記アクセス信号に応じてラッチするラッチ回路と、前記メモリから出力された2つの同一プログラムについて、前記ラッチ回路から出力された第1回目のプログラムと、前記メモリから出力された第2回目のプログラムとを比較し、両者の一致を検出する一致検出回路とを備え、前記CPUは、前記一致検出回路の比較結果信号を受け、プログラムの不一致時に、再度前記同一アドレスについてのアクセス信号を出力して、前記メモリから出力される第3回目のプログラムと、前記ラッチ回路から出力される前記第2回目のプログラムとの比較を前記一致検出回路で行わせることを特徴とする。

【0010】

請求項2記載の発明は、前記請求項1記載のコンピュータ装置において、前記メモリからの第1、第2、第3回目のプログラムの出力は、命令フェッチサイクル内で行われ、前記一致検出回路で第2回目のプログラムと第3回目のプログラムとの一致が検出された時、この一致したプログラムのデコードサイクルに移行することを特徴とする。

【0011】

請求項3記載の発明のコンピュータ装置は、アドレス信号を出力すると共に、同一アドレス信号についてアクセス信号を3回以上出力するCPUと、一連のプログラムを記憶し、前記アドレス信号に対応するアドレスのプログラムを前記アクセス信号に応じて順次出力するメモリと、直列に接続され、前記メモリから出力されたプログラムを前記アクセス信号に応じて順次ラッチする複数個のラッチ回路と、前記メモリから出力された複数の同一プログラムについて、前記メモリから最後に出たプログラム及び前記各ラッチ回路から出力されたプログラムを比較し、全てのプログラムの一致を検出する一致検出回路とを備え、前記CPUは、前記一致検出回路で一致が検出されたとき、前記一致したプログラムのデコードサイクルに移行することを特徴とする。

【0012】

請求項4記載の発明は、前記請求項3記載のコンピュータ装置において、前記複数個のラッチ回路及び一致検出回路に代えて、前記メモリから出力された複数

の同一プログラムについて多数決を取る多数決回路を備え、前記CPUは、前記多数決回路において最も数が多いと判定されたプログラムをデコードすることを特徴とする。

【0013】

請求項5記載の発明のコンピュータ装置は、一連のプログラムを記憶するメモリと、前記メモリから個々のプログラムをパイプラインで順次フェッチし、デコードし、実行するCPUとを備え、前記CPUは、フェッチサイクルにおいて前記メモリからの第1のプログラムをフェッチし、前記第1のプログラムのデコードサイクルでは、前記第1のプログラムに続く第2のプログラムをフェッチすると共に、前記メモリに対して第1のプログラムの再読み出しを要求し、再読み出しされた第1のプログラムと、前記第1のプログラムのフェッチサイクルでフェッチされた第1のプログラムとを比較し、両プログラムが一致するとき第1のプログラムの実行に移行することを特徴とする。

【0014】

請求項6記載の発明は、前記請求項5記載のコンピュータ装置において、前記CPUは、2つの第1のプログラム同士が一致しないとき、前記メモリに対して第1のプログラムの再々読み出しを要求し、再々読み出しされた第1のプログラムと、前記再読み出しされた第1のプログラムとを比較し、両プログラムが一致するとき第1のプログラムの実行に移行することを特徴とする。

【0015】

請求項7記載の発明は、前記請求項5記載のコンピュータ装置において、前記メモリは、前記CPUからアドレス信号を受けて、前記アドレス信号に対応するアドレスのプログラムと、前記アドレス信号に対応するアドレスよりも1つ前のアドレスに対応するプログラムとを出力することを特徴とする。

【0016】

請求項8記載の発明は、前記請求項7記載のコンピュータ装置において、前記メモリは、連続するプログラムがアドレス順に行方向及び列方向に記憶されていて、前記CPUからアドレス信号を受けたとき、2本の連続する行選択信号及び2本の連続する列選択信号を出力することを特徴とする。

【 0 0 1 7 】

請求項 9 記載の発明は、前記請求項 6 記載のコンピュータ装置において、ラッチ回路を有し、前記ラッチ回路は、前記 CPU から出力されるアクセス信号に同期して、前記フェッチサイクルで前記メモリから出力される第 1 のプログラムをラッチし、前記 CPU には、前記ラッチ回路にラッチされた第 1 のプログラムと、前記デコードサイクルで再読み出しされた第 1 のプログラムとの一致を検出する一致検出回路が接続されることを特徴とする。

【 0 0 1 8 】

請求項 1 0 記載の発明は、前記請求項 9 記載のコンピュータ装置において、前記デコードサイクルで第 1 のプログラムが再読み出しされたとき、前記ラッチ回路は、前記再読み出しされた第 1 のプログラムをラッチし、前記一致検出回路は、2 つの第 1 プログラムが一致しないときに再々読み出しされた第 1 のプログラムと、前記ラッチ回路にラッチされた再読み出しされた第 1 のプログラムとの一致を検出することを特徴とする。

【 0 0 1 9 】

以上により、請求項 1 ないし請求項 4 記載の発明では、ROM の所定アドレスに格納されたプログラムが複数回読み出され、これらプログラムの一致が一致検出回路で検出された場合に限ってこのプログラムのデコード、実行が行われるので、CPU は正しく読み出されたプログラムでもって所期通り安全に動作する。

【 0 0 2 0 】

特に、請求項 1 及び請求項 2 記載の発明では、連続して 2 回同一アドレスから読み出された第 1 及び第 2 のプログラム同士が不一致の場合には、再度同一アドレスから第 3 のプログラムが読み出され、この第 3 のプログラムが第 2 のプログラムと一致すれば、このプログラムのデコード及び実行が行われるので、プログラムの誤った読み出しが 1 回あった場合であっても、同一アドレスのプログラムを合計 3 回読み出すだけで、正しく読み出されたプログラムの実行が可能である。

【 0 0 2 1 】

また、請求項 5 ないし請求項 1 0 記載の発明では、デコードサイクルでは、そ

の前の命令フェッチサイクルでフェッチしたプログラムをデコードしながら、再度そのプログラムをフェッチし、この再フェッチしたプログラムが命令フェッチサイクルでフェッチしたプログラムと一致する場合に限り、そのデコードしたプログラムを実行する。従って、プログラムのデコードと同時にそのプログラムの正しい読み出しを確認するので、処理速度を高く維持できる。

【 0 0 2 2 】

特に、請求項 1 0 記載の発明では、読み出されたプログラムがラッチ回路でラッチされるが、このラッチ回路にラッチされるプログラムは、常に最新に読み出されたプログラムである。従って、例えば最初の読み出しがノイズなどの原因で誤っている場合にも、正しく読み出されたプログラムをラッチ回路にラッチでき、プログラムの正しい読み出しの確認の確率を高くできる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明のコンピュータ装置の実施の形態を説明する。

【 0 0 2 4 】

(第 1 の実施の形態)

図 1 は本発明の第 1 の実施の形態のコンピュータ装置の全体構成を示す。図 2 及び図 3 は動作説明図である。図 1 において、CPU 1 と ROM (メモリ) 2 とは ROM データバス c により接続されている。この ROM データバス c には、途中にラッチ回路 3 が配置される。CPU 1 は ROM 2 に対して、アドレス信号 a と、プリチャージ信号等のアクセス信号 b とを出力する。前記アクセス信号 b は、同一アドレス信号 a について 2 回出力される。ROM 2 は前記アクセス信号 b を受ける毎に前記アドレス信号 a に対応するアドレスに格納されたプログラムを ROM データバス c に出力する。ラッチ回路 3 は前記アクセス信号 b をクロック信号として受けると共に、前記 ROM 2 から ROM データバス c に出力されたプログラムをラッチし、このラッチしたプログラムを次のアクセス信号 b の受信時に CPU 1 に出力する。4 は一致検出回路であって、前記 ROM 2 から ROM データバス c に出力されたプログラム (出力信号 d) と、前記ラッチ回路 3 から出力されるプログラムとを受け、この両プログラムの一致、不一致を検出し、一致

するときには一致信号（比較結果信号）eをCPU1に出力する。

【0025】

次に、前記コンピュータ装置の動作を図2及び図3の信号波形図を参照しながら以下に説明する。尚、CPU1からは、アドレス信号aとして、順次N、N+1のアドレスデータが出力され、このアドレスデータN、N+1に対応するプログラムを各々A、Bであるとして、説明する。

【0026】

先ず、ROM2からのプログラムの読み出しが正しく行われる場合を図2を参照しながら説明する。図2において、命令フェッチサイクルでは、CPU1からROM2に対してアドレス信号aとしてのアドレスデータNとアクセス信号bとが出力される。ROM2は前記アクセス信号bを受けて、アドレスデータNに対応するプログラムAを出力する。更に、前記の同一命令フェッチサイクルにおいて、アクセス信号bが出力される。これにより、ラッチ回路3には前記プログラムAがラッチされ、ROM2は再度前記プログラムAが出力される。一致検出回路4は、ROM2から出力されるROMデータバスcのプログラムAと、ラッチ回路3の出力信号dの内容（プログラムA）とを比較し、ここではこの両プログラムが一致しているので、一致検出回路4はCPU1に一致信号eを出力する。CPU1は前記一致信号eを受けて、ラッチ回路3の出力信号dの内容（プログラムA）をROMデータとして内部の命令レジスタに格納し、命令フェッチサイクルを終了する。その後は、命令デコードサイクルにおいて、前記プログラムAのデコードを行う。

【0027】

次に、アドレス信号aがアドレスデータN+1の際に、ROM2から出力されるプログラムが、ノイズの混入により、正しいプログラムBからプログラムCとして誤って読み出された場合を図3を参照しながら説明する。命令フェッチサイクルにおいて、アドレス信号aとしてアドレスデータN+1がCPU1からROM2に出力されると、アクセス信号bによりROM2は誤ってプログラムCを出力する。次に、前記と同一の命令フェッチサイクルにおいて、再びCPU1からアドレス信号a（アドレスデータN+1）及びアクセス信号bが出力されると、

ラッチ回路 3 はプログラム C をラッチし、ROM 2 からはプログラム B が正しい読み出される。この場合、一致検出回路 4 は、一致信号 e を出力せず、CPU 1 はラッチ回路 3 の出力信号 d (プログラム C) を ROM データとして認識しない。この場合には、CPU 1 は、前記命令フェッチサイクルを延長して、再度、ROM 2 にアクセス信号 b を出力する。これにより、ラッチ回路 3 の出力信号 d はプログラム B となり、ROM 2 からプログラム B が正しく読み出される。その結果、一致検出回路 4 は一致信号 e を出力し、CPU 1 はプログラム B を正しく ROM データとして命令レジスタに格納し、命令フェッチサイクルを終了する。その後は、命令デコードサイクルにおいて、前記プログラム B のデコードを行う。

【 0 0 2 8 】

以上の説明からも明らかなように、本実施の形態のコンピュータ装置では、同一の命令フェッチサイクル内に同一内容のアドレス信号 a に対して複数回のアクセス信号 b を出力し、アクセス信号 b 毎に読み出される ROM 2 からのプログラムをその直前に読み出されたプログラムとの一致を一致検出回路 4 で確認し、不一致の場合には、命令フェッチサイクルを延長してプログラムを再度読み出し、読み出された同一アドレスのプログラム同士の一一致を確認した後でなければ、次のデコードサイクルに移行しないので、CPU 1 は誤ったプログラムを実行することがなく、安全に動作できるコンピュータ装置を提供することができる。

【 0 0 2 9 】

更に、最初に読み出されたプログラムがプログラム C として誤って読み出された場合であっても、2 回目に正しく読み出されたプログラム B が第 3 回目の読み出し時にはラッチ回路 3 にラッチされるので、第 3 回目には、第 2 回目に読み出されたプログラム B と第 3 回目に読み出されたプログラム B とが一致検出回路 4 で比較されて、その一致が検出される。従って、最初の読み出しが誤っている場合であっても、合計 3 回の読み出し動作で次のデコードサイクルに移行することが可能である。

【 0 0 3 0 】

(第 1 の変形例)

図 4 は前記第 1 の実施の形態の変形例を示す。本変形例では、複数個のラッチ回路 3 a、3 b…3 n を備えると共に、同一内容のアドレス信号 a に対して前記ラッチ回路の個数に等しい n 回のアクセス信号 b を CPU 1 から出力するようにしたものである。また、一致検出回路 4 a は、前記ラッチ回路 3 a、3 b…3 n から出力されるプログラム、及び ROM 2 から出力されるプログラムの合計 n + 1 回出力される同一アドレスのプログラムの一致を検出する。

【 0 0 3 1 】

従って、本変形例では、CPU 1 に入力される ROM データの信頼性をより一層に向上することができる。

【 0 0 3 2 】

(第 2 の変形例)

図 5 は前記第 1 の実施の形態の第 2 の変形例を示す。本変形例では、図 1 と同一の構成については同一符号を付してその説明を省略し、異なる部分についてのみ構成を説明する。

【 0 0 3 3 】

図 5 において、CPU 2 0 は同一命令フェッチサイクルにおいてアクセス信号 b を複数回（例えば 3 回又は 5 回）出力する。5 は多数決回路である。この多数決回路 5 は、CPU 2 0 からのアクセス信号 b をクロック信号として、アクセス信号 b と同じ周期でもって、ROM 2 から読み出される ROM データバス c の値（プログラム）をサンプリングし、それらプログラムの多数決をとって、数の多いプログラムを CPU 2 0 に出力する。

【 0 0 3 4 】

従って、本変形例においては、図 6 の信号波形図に示すように、命令フェッチサイクルにおいて、CPU 2 0 からアドレス信号 a としてアドレスデータ N が出力されると共に、アクセス信号 b が複数回 ROM 2 に出力される。これにより、ROM 2 は、アドレスデータ N に対応するアドレスのプログラム A を複数回読み出し、これらプログラムが多数決回路 5 に入力される。多数決回路 5 は、これらプログラムの多数決をとり、数の多いプログラムを CPU 2 0 に ROM データとして出力する。従って、ノイズ等の影響により ROM 2 から読み出されたプログ

ラムが一時的にプログラムCとなった場合であっても、CPU20には正しいプログラムAが入力されて、次の命令デコードサイクル以降の処理を行うので、1つの命令処理の実行時間を変更することなく正しく動作する。

【0035】

(第2の実施の形態)

続いて、本発明の第2の実施の形態のコンピュータ装置について説明する。

【0036】

図7は本実施の形態のコンピュータ装置の構成を示す図である。同図において、CPU10はアクセス信号bをROM2に出力する。このアクセス信号bは、命令フェッチサイクルにアドレス信号aと共に1回出力されるほか、その次の命令デコードサイクルでも前記同一内容のアドレス信号aに対して更にもう1回出力される。

【0037】

前記ROM2は、図10に示すように、連続するプログラムA11、A12…A1n、A21…Am1…Amnがアドレス順に行方向及び列方向に記憶されている。更に、ROM2は、前記CPU10からアドレス信号aを受けた際には、そのアドレス信号aに対応するアドレスを選択するように1つの行選択信号及び1つの列選択信号を出力すると共に、そのアドレス信号aに対応するアドレスの1つ前のアドレスを選択するように他の1つの行選択信号及び他の1つの列選択信号を出力する。従って、前記ROM2は、前記CPU10からアドレス信号aを受けた際には、そのアドレス信号aに対応するアドレスのプログラム（以下、新プログラムという）をROMデータバス c_N に出力すると共に、前記アドレス信号に対応するアドレスよりも1つ前のアドレスに対応するプログラム（以下、前プログラムという）をROMデータバス c_B に出力する。この両プログラムが同一行又は同一列に位置する場合には、前記2つの行選択信号又は2つの列選択信号は、1つの行選択信号又は1つの列選択信号になる。

【0038】

また、図7において、22及び23は第1及び第2のマルチプレクサであって、前記前プログラム及び新プログラムを受け、その何れか一方を選択する。第2

のマルチプレクサで選択されたプログラムは、ROMデータとしてCPU10に入力される。3はラッチ回路であって、CPU10からのアクセス信号bをクロック信号とすると共に、前記第1のマルチプレクサ22で選択されたプログラムをラッチする。4は一致検出回路であって、前記ラッチ回路3から出力されたプログラムと、ROM2から出力された前プログラムとの一致、不一致を検出し、一致するときに一致信号eをCPU10に出力する。前記一致検出回路4の一致信号eは前記第1及び第2のマルチプレクサ22、23に出力される。前記第1及び第2のマルチプレクサ22、23は、通常はROM2からの新プログラムを選択し、一致信号eを受けないとき、即ちプログラムの不一致時にROM2からの前プログラムを選択する。

【0039】

次に、本実施の形態の図5のコンピュータ装置の動作について、図8及び図9の信号波形図を参照しながら、以下に説明する。尚、前記第1の実施の形態と同様に、CPU10よりアドレス信号aとして順次アドレスデータN、N+1が出力され、このアドレスデータN、N+1に対応するプログラムを各々A、Bであるとする。

【0040】

先ず、ROM2からプログラムが正しく読み出される場合を図8を参照しながら説明する。尚、図8はアドレスNに着目して描かれている。命令フェッチサイクルにおいて、ROM2にはCPU10からアドレス信号a（アドレスデータN）が入力されると共にアクセス信号bが入力され、ROM2は新プログラムAを読み出す。第1のマルチプレクサ22は新プログラムAを選択し、この新プログラムAがラッチ回路3にラッチされる。第2のマルチプレクサ23も新プログラムAを選択し、この新プログラムAがCPU10にROMデータとして入力され、命令フェッチサイクルが終了する。

【0041】

その後、CPU10の内部状態は命令デコードサイクルに遷移する。ここでは、CPU10は入力されたプログラムAをデコードし、プログラムAに対応した処理を行う準備をする。次のアドレス信号a（アドレスデータN+1）及びアク

セル信号 b が出力され、ROM 2 ではこのアドレス信号 a のアドレスの 1 つ前のアドレス N に対応する前プログラム A が読み出される。ラッチ回路 3 はラッチされていたプログラム A を出力し、一致検出回路 4 はこの両プログラム A、A を比較し、一致信号 e を CPU 1 0 に出力する。一方、第 2 のマルチプレクサ 2 3 は前記一致信号 e を受けて新プログラム A を選択して CPU 1 0 に出力する。前記 CPU 1 0 は、一致信号 e を受信したので、前記第 2 のマルチプレクサ 2 3 からの新プログラム A を正しく読み出された ROM データとして内蔵する命令レジスタに格納し、命令デコードサイクルを終了する。

【 0 0 4 2 】

次に、アドレス信号 a がアドレスデータ N + 1 の場合に、ノイズにより ROM 2 から読み出されたプログラムがプログラム C となった際の動作について、図 9 を参照しながら説明する。命令フェッチサイクルにおいて、アドレス信号 a (アドレスデータ N + 1) 及びアクセス信号 b が ROM 2 に入力され、ROM 2 からはプログラム B が誤って新プログラム C として読み出され、このプログラム C が第 1 のマルチプレクサ 2 2 で選択されてラッチ回路 3 にラッチされる。更に、前記プログラム C は第 2 のマルチプレクサ 2 3 で選択されて CPU 1 0 に入力され、命令フェッチサイクルが終了する。

【 0 0 4 3 】

次に、CPU 1 0 の内部状態は命令デコードサイクルとなり、CPU 1 0 はプログラム C をデコードし、プログラム C に対応した処理を行う準備をする。しかし、同時に行われるアクセス信号 b の出力により、ROM 2 からは ROM データバス c B に前プログラム B が再読み出しされる。一致検出回路 4 は、この再読み出しされたプログラム B とラッチ回路 3 からのプログラム C とを比較し、一致信号 e を出力しない。その結果、CPU 1 0 は、プログラム C に対して行ったデコード処理を中止する。第 1 のマルチプレクサ 2 2 は ROM データバス c B 側を選択して、ラッチ回路 3 には再読み出しされた ROM データバス c B のプログラム B がラッチされる。第 2 のマルチプレクサ 2 3 も、ROM データバス c に再読み出しされたプログラム B を選択し、この前プログラム B が CPU 1 0 に入力される。

【 0 0 4 4 】

続いて、CPU 1 0 は、プログラム C に対するデコード処理を中止したので、再度、命令デコードサイクルを実施しようと、アクセス信号 b を出力する。この再度の命令デコードサイクルにおいて、ラッチ回路 3 は再読み出しされたプログラム B を出力すると共に、ROM 2 からは ROM データバス c B に前プログラム B が再々読み出しされる。その結果、一致検出回路 4 は一致信号 e を CPU 1 0 に出力し、CPU 1 0 は、前記第 2 のマルチプレクサ 2 3 から入力されたプログラム B を正しく読み出されたプログラムの ROM データとして、内蔵する命令レジスタに格納し、命令デコードサイクルを終了して、メモリアクセスやデータ操作など実際の処理を行う命令実行サイクルに遷移する。

【 0 0 4 5 】

以上の説明からも明らかなように、本実施の形態のコンピュータ装置では、命令フェッチサイクル終了後の命令デコードサイクルにもアクセス信号 b を出力し、この命令デコードサイクルにおいて、デコード中のプログラムが正しく読み出されたプログラムか否かを一致検出回路 4 で判断し、誤った読み出しの場合には再度同一アドレスのプログラムを読み出して、デコードを行うので、誤って読み出されたプログラムを実行することがない。

【 0 0 4 6 】

また、本実施の形態では、命令デコードサイクルにおいて、プログラムの読み出しが正しく行われたか否かを判断するので、前記第 1 の実施の形態のように命令フェッチサイクルで複数回連続して同一アドレスのプログラムを読み出す場合に比較して、1 サイクルの期間を短縮でき、処理速度を上げつつ安全に動作するコンピュータ装置を提供することができる。

【 0 0 4 7 】

尚、ROM 2 から読み出されたプログラムが分岐命令である場合には、命令フェッチサイクルで ROM 2 から読み出された新プログラムと、次の命令デコードサイクルで比較用として読み出された前プログラムとは常に不一致となるため、命令デコードサイクルでの前プログラムの読み出しは強制的に停止される。

【 0 0 4 8 】

【発明の効果】

以上説明したように、請求項 1 ないし請求項 4 記載の発明のコンピュータ装置によれば、ROM に格納されたプログラムを複数回読み出し、これらプログラムの一致を検出した場合に限ってそのプログラムのデコード、実行を行ったので、正しく読み出されたプログラムでもって CPU を所期通り安全に動作させることができる。

【0049】

特に、請求項 1 及び請求項 2 記載の発明によれば、プログラムの誤った読み出しが 1 回あった場合であっても、同一アドレスのプログラムを合計 3 回読み出すだけで、正しく読み出されたプログラムの実行が可能である。

【0050】

また、請求項 5 ないし請求項 10 記載の発明によれば、デコードサイクルでは、その前の命令フェッチサイクルでフェッチしたプログラムをデコードしながら、再度そのプログラムをフェッチして、そのプログラムの正しい読み出しを確認するので、処理速度を高く維持しながら正しく読み出されたプログラムの実行が可能である。

【0051】

特に、請求項 10 記載の発明によれば、常に最新に読み出された同一プログラムをラッチ回路にラッチしながら、複数回読み出されたプログラムが正しく読み出されたプログラムであるか否かを判断するので、プログラムの正しい読み出しの確認の確率を高くできる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係るコンピュータ装置の構成を示す図である。

【図 2】

同実施の形態に係るコンピュータ装置の信号波形図である。

【図 3】

同実施の形態に係るコンピュータ装置の信号波形図である。

【図 4】

本発明の第 1 の実施の形態の第 1 の変形例に係るコンピュータ装置の構成を示す図である。

【図 5】

本発明の第 1 の実施の形態の第 2 の変形例に係るコンピュータ装置の構成を示す図である。

【図 6】

第 2 の変形例に係るコンピュータ装置の信号波形図である。

【図 7】

本発明の第 2 の実施の形態に係るコンピュータ装置の構成を示す図である。

【図 8】

同実施の形態に係るコンピュータ装置の信号波形図である。

【図 9】

同実施の形態に係るコンピュータ装置の信号波形図である。

【図 1 0】

同実施の形態のコンピュータ装置に備えるメモリの概略構成を示す図である。

【図 1 1】

従来のコンピュータ装置の構成を示すブロック図である。

【図 1 2】

従来のコンピュータ装置の構成を示すブロック図である。

【図 1 3】

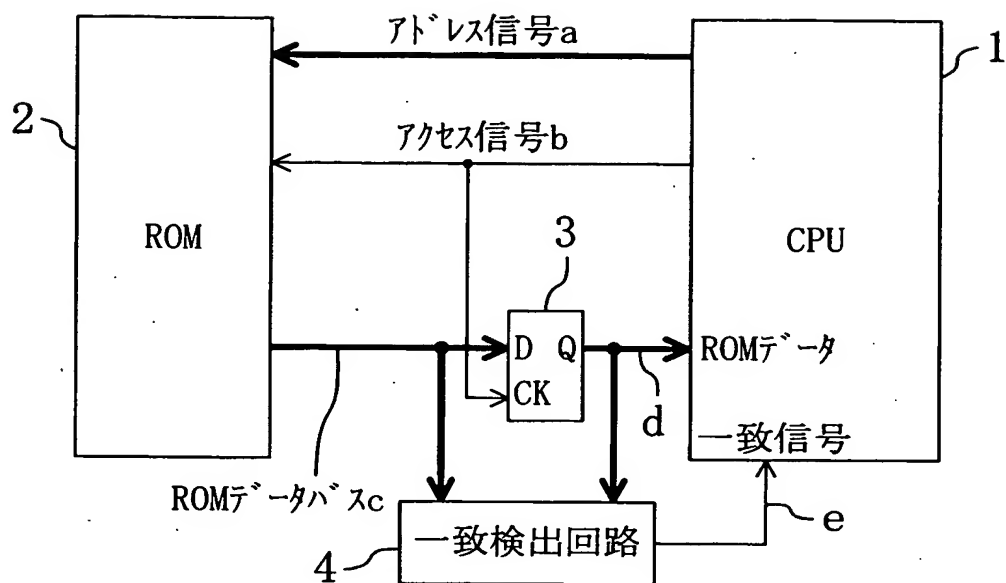
従来のコンピュータ装置の信号波形図である。

【符号の説明】

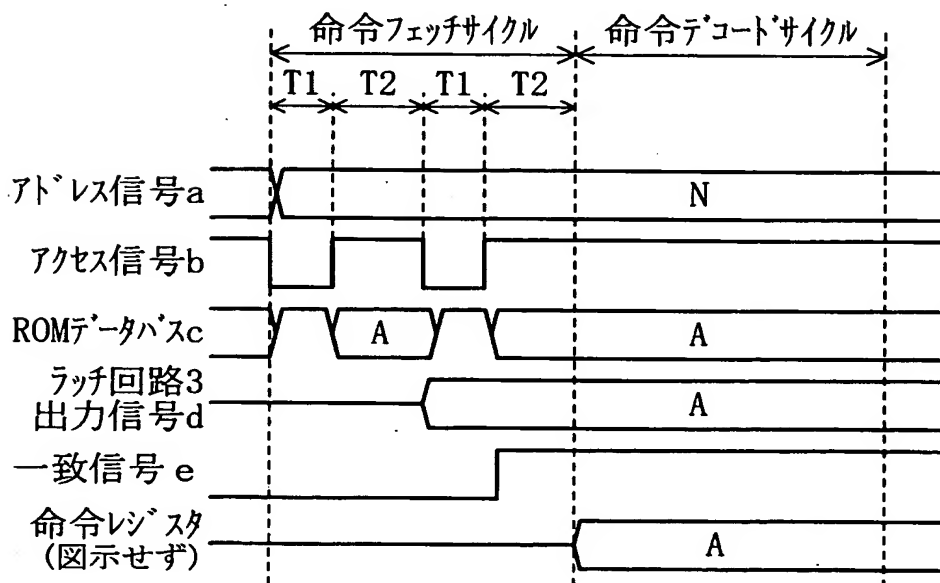
1、1 0、2 0	C P U
2	R O M (メモリ)
3、3 a … 3 n	ラッチ回路
4	一致検出回路
5	多数決回路
2 2、2 3	マルチプレクサ

【書類名】 図面

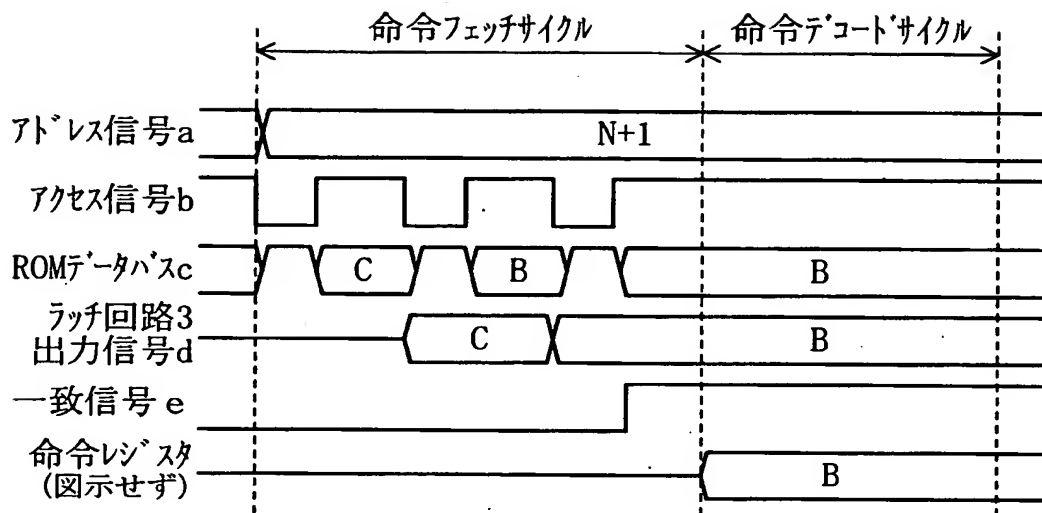
【図 1】



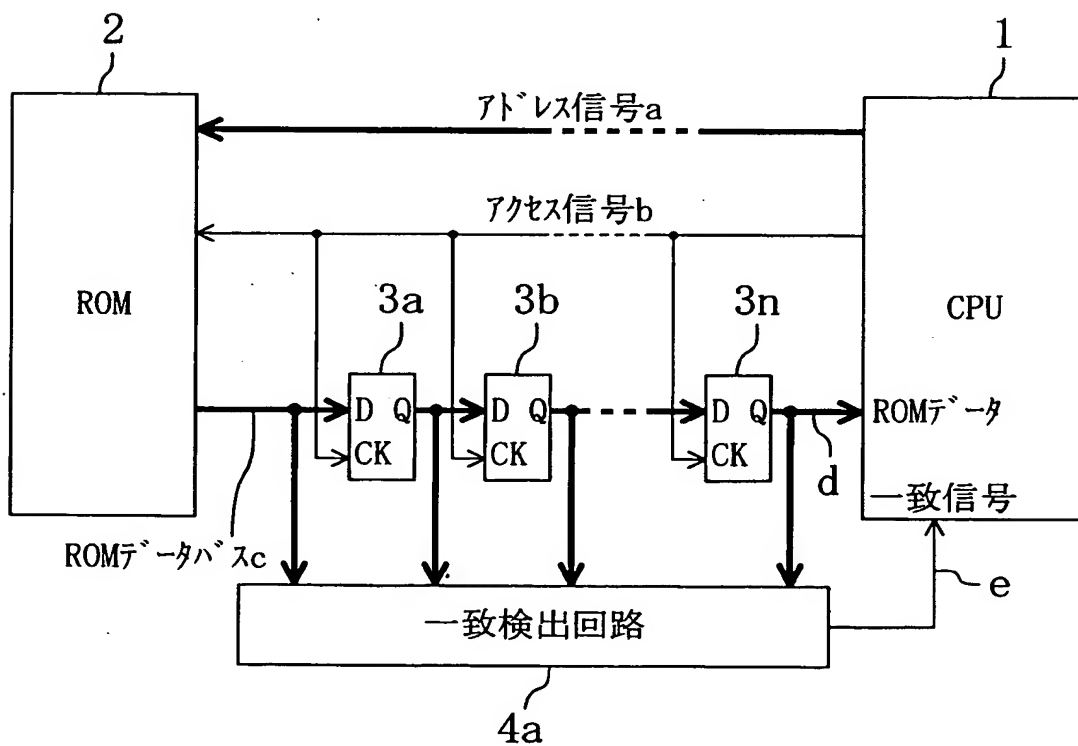
【図 2】



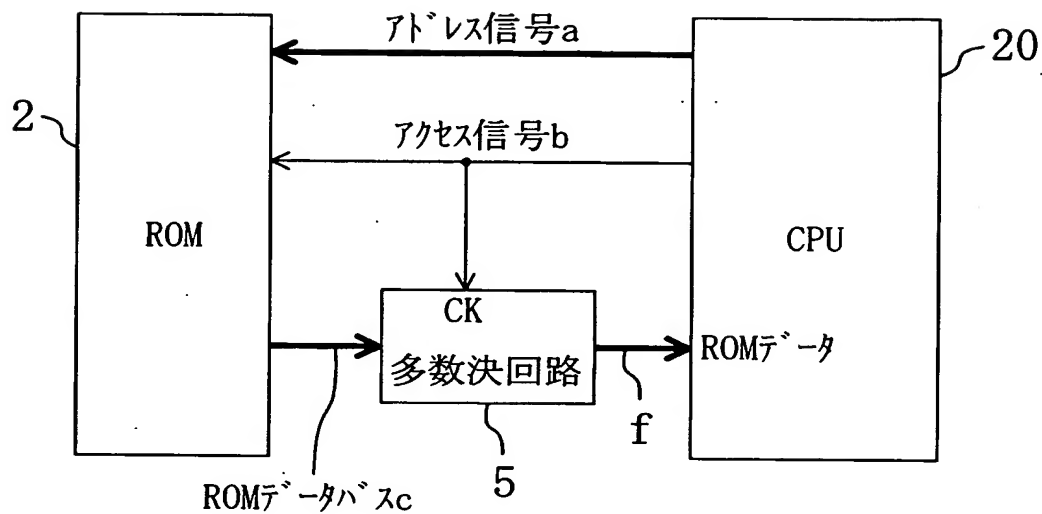
【図3】



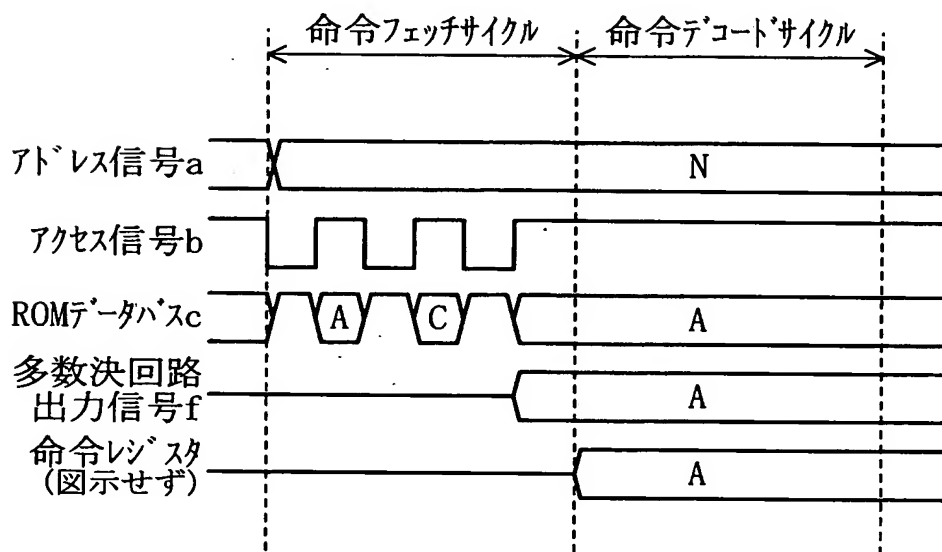
【図4】



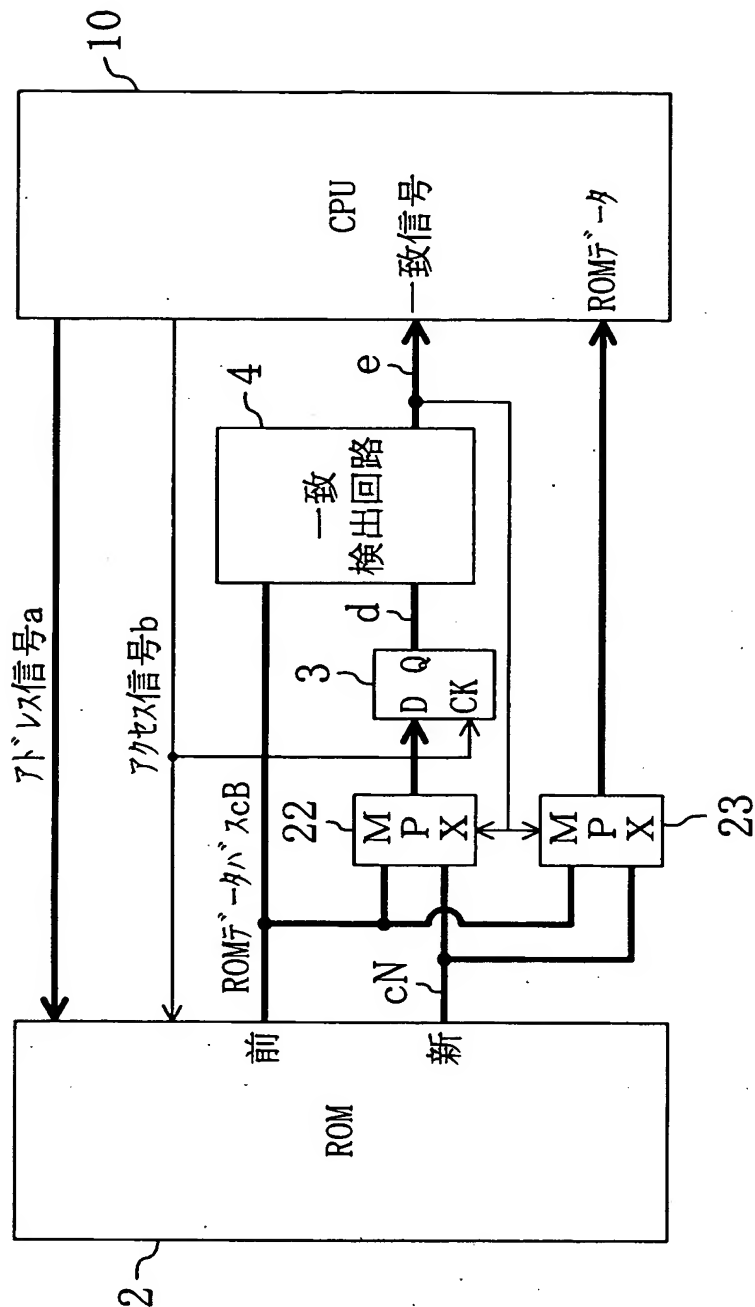
【図 5】



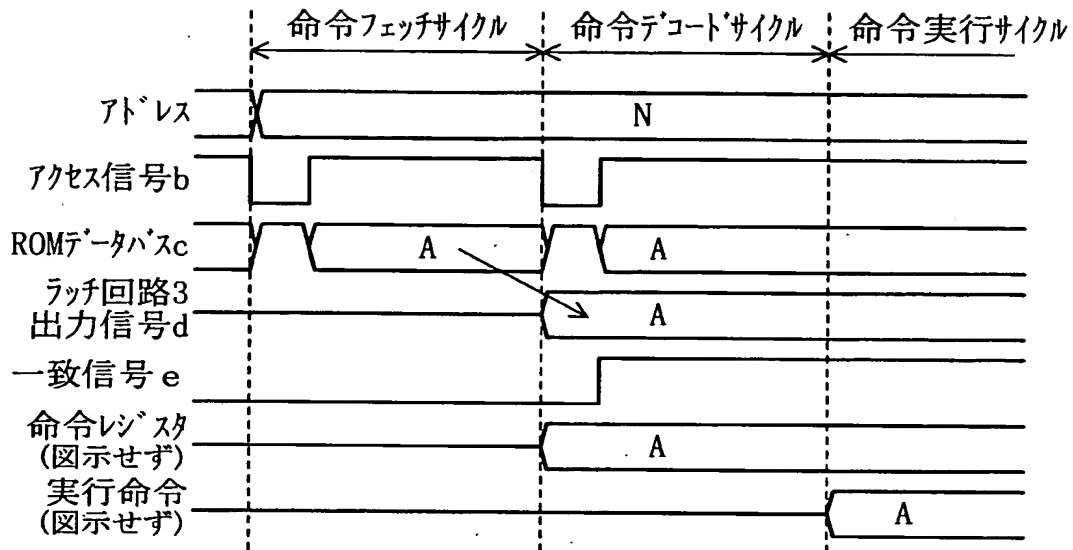
【図 6】



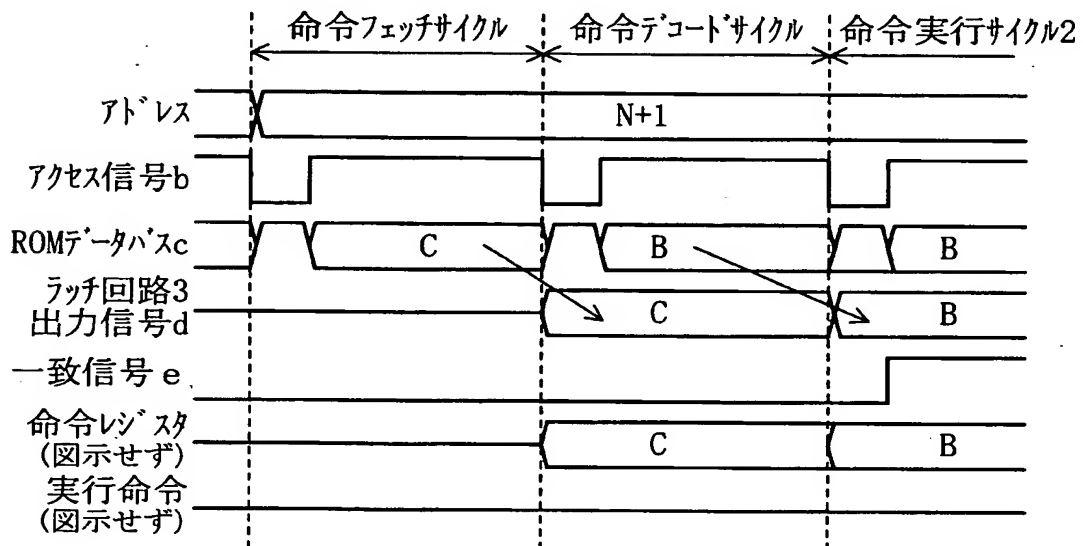
【図 7】



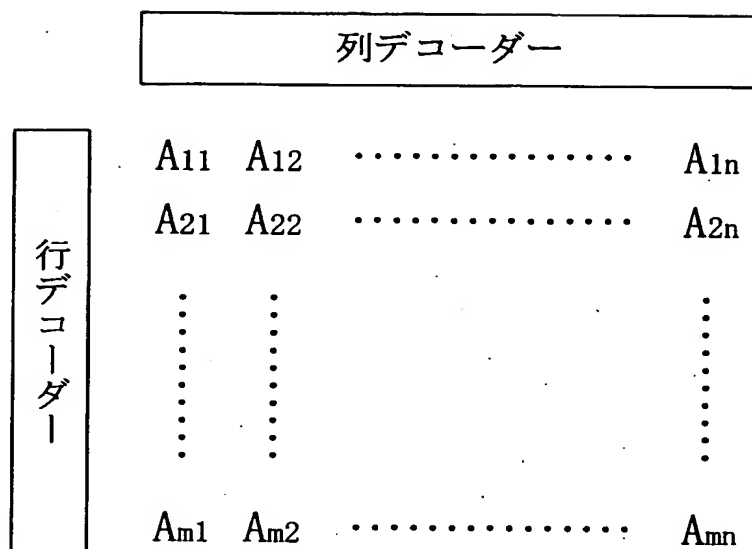
【図8】



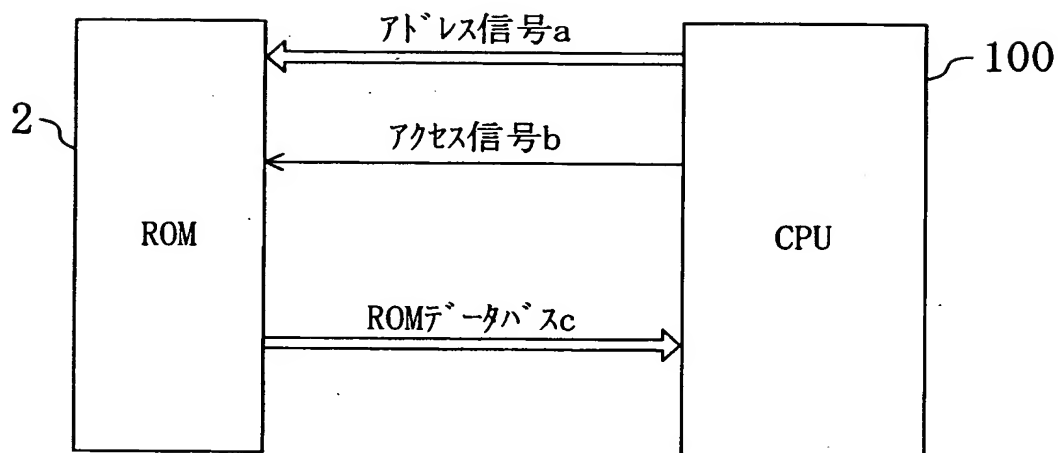
【図9】



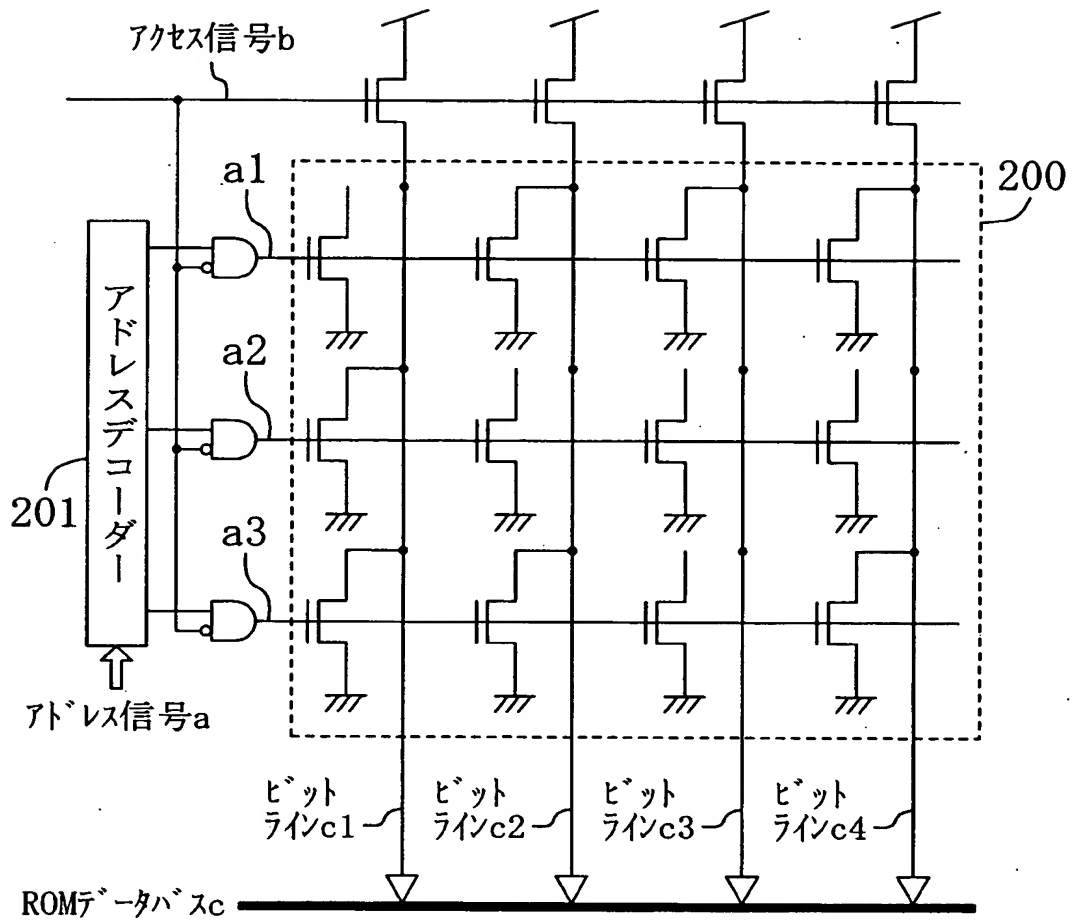
【図 1 0】



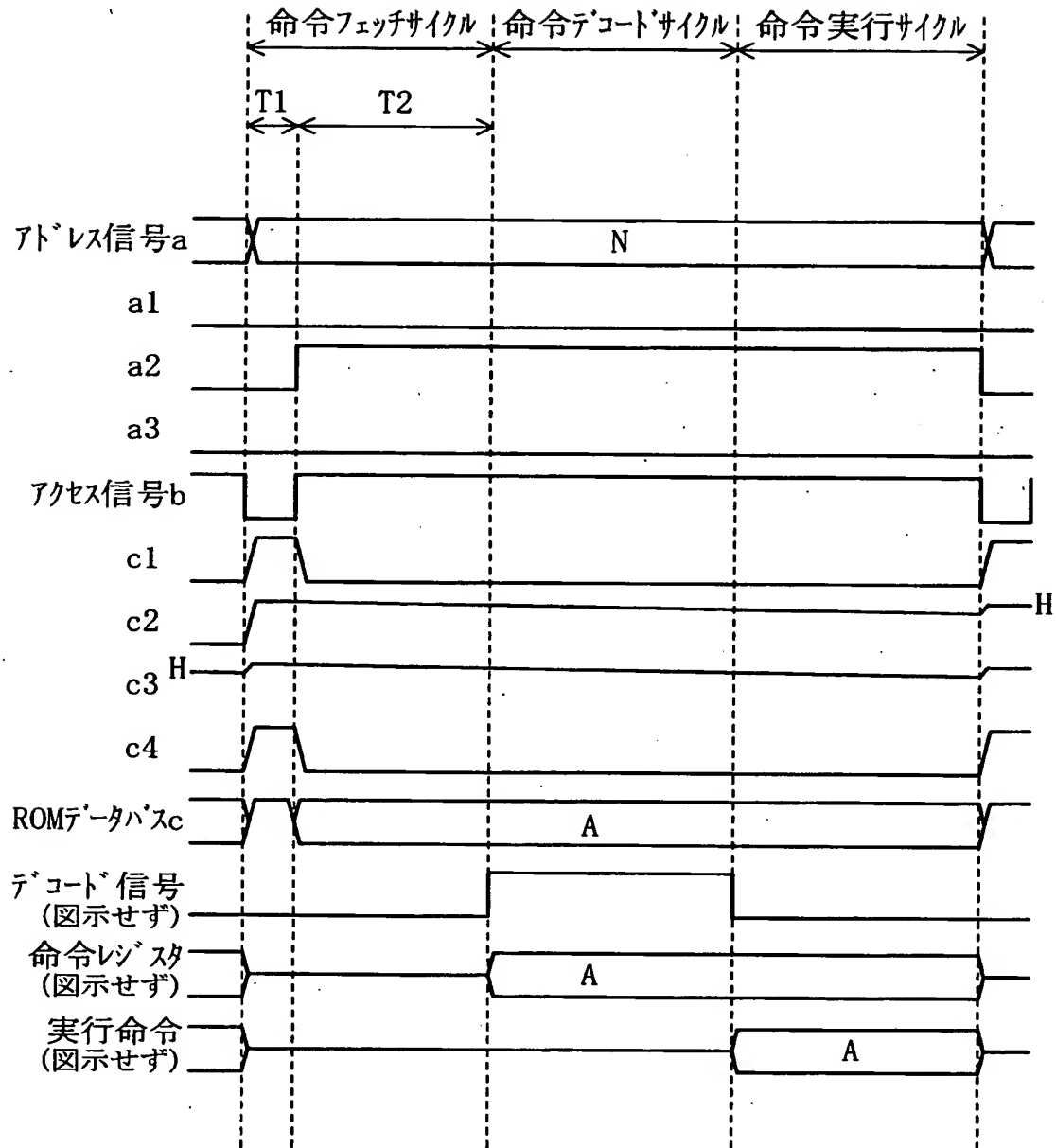
【図 1 1】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 コンピュータ装置において、ROM内のプログラムが誤って読み出された場合であっても、正しく読み出されたプログラムで安全に動作させる。

【解決手段】 ラッチ回路3はROM2から読み出されたプログラムをラッチする。ROM2からプログラムBがプログラムCとして誤って読み出されても、CPU1は再度ROM2にアクセス信号を出力し、同一プログラムBをROM2から読み出す。このプログラムBと前記ラッチ回路3のプログラムCとが一致検出回路4で比較され、不一致であるので、CPU1は再度アクセス信号を出力する。その結果、ROM2がプログラムBを正しく出力したとすると、このプログラムBとラッチ回路3のプログラムBとが一致検出回路4で比較され、一致するので、CPU1はこのプログラムBを正しく読み出されたROMデータとして、その命令を実行する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社